

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-289871

(43)Date of publication of application : 04.10.2002

(51)Int.Cl.

H01L 29/786
H01L 21/8234
H01L 27/088
H01L 21/8238
H01L 27/092
H01L 27/08
H01L 29/417
H01L 29/78

(21)Application number : 2001-093663

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.03.2001

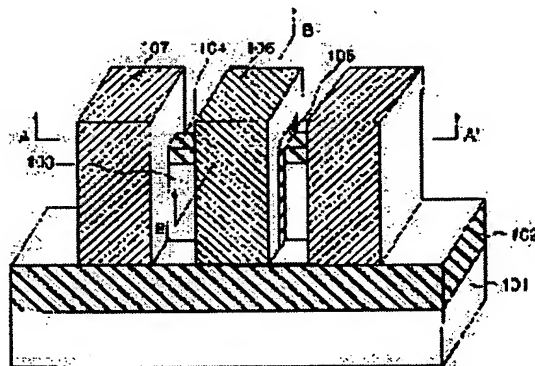
(72)Inventor : YAGISHITA JUNJI
SUGURO KYOICHI
SAITO TOMOHIRO
MATSUO KOJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a double-gate FDMISFET, the source and drain of which can be formed easily.

SOLUTION: The double-gate FDMISFET is provided with a substrate, on which a semiconductor layer 103 is partially formed, gate insulating films 105 formed on facing both side faces of the layer 103, gate electrodes 106 formed on the insulation films 105 and composed of a metallic material. The FDMISFET is also provided with source and drain electrodes 107, which are formed on facing both side faces of the semiconductor layer 103, on which the gate insulating films 105 are not formed and form Schottky junctions with the semiconductor layer 3.



LEGAL STATUS

[Date of request for examination]

11.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of

Best Available Copy

rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-289871

(P 2 0 0 2 - 2 8 9 8 7 1 A)

(43) 公開日 平成14年10月4日(2002.10.4)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)		
H01L 29/786		H01L 27/08	331	E	4M104
21/8234		29/78	617	N	5F048
27/088		27/08	102	B	5F110
21/8238			321	F	5F140
27/092		29/50		U	
審査請求 未請求 請求項の数 5 O L (全12頁) 最終頁に続く					

(21) 出願番号 特願2001-93663(P 2001-93663)

(22) 出願日 平成13年3月28日(2001.3.28)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 八木下 淳史

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 須黒 恭一

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

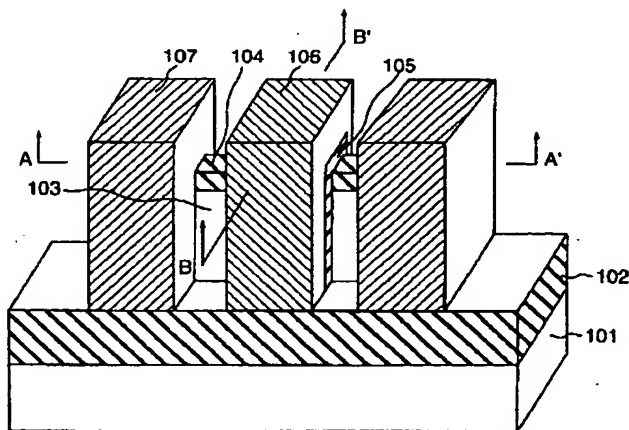
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ソース及びドレインの形成が容易なDouble-gateFDMISFETを提供すること。

【解決手段】 一部に半導体層103が形成された基板と、半導体層103の対向する両側面上に形成されたゲート絶縁膜105と、ゲート絶縁膜105上に形成され、金属材料からなるゲート電極106と、ゲート絶縁膜105が形成されていない半導体層103の対向する両側面上に形成され、該半導体層103とショットキー接合されたソース及びドレイン電極107とを具備する。



【特許請求の範囲】

【請求項1】一部に、ほぼ直方体状の半導体層が形成された基板と、

前記半導体層の対向する一对の側面上にそれぞれ形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成され、金属材料からなるゲート電極と、

前記ゲート絶縁膜が形成されていない半導体層の対向する一对の側面上に形成され、該半導体層とショットキー接合された金属材料からなるソース及びドレイン電極とを具備するMISFETを具備してなることを特徴とする半導体装置。

【請求項2】前記基板は、SOI基板であることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記基板上に、前記ゲート電極の仕事関数が異なる複数のMISFETが混在して形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記基板上に、前記ソース及びドレイン電極の仕事関数が異なる複数のMISFETが混在して形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】基板の一部に、ほぼ直方体状の半導体層を形成する工程と、

前記半導体層の対向する一对の側面に沿ったゲート絶縁膜と、前記ゲート絶縁膜上に金属材料で構成されたゲート電極と、前記半導体層を覆うと共に該ゲート電極の周囲を囲う層間絶縁膜を形成する工程と、

前記層間絶縁膜に、前記半導体層の前記ゲート絶縁膜が形成されていない対向する両側面が露出する溝を形成する工程と、

前記溝内に、前記半導体層とショットキー接合する金属材料からなるソース及びドレイン電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チャネルを2つのゲート電極で挟んだ構造のMISFETを具備する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】チャネルを2つのゲート電極で挟んだ構造（ダブルゲート）を特徴とするMISFETが提案されている。この構造を用いれば、ゲートの制御力が強いこと、またチャネルの不純物濃度を低減できるため、（不純物散乱やチャネルに対して垂直な方向の電界を低減できるので）キャリアの移動度を向上させ、大きな駆動電流を得ることができる。また、完全空乏化素子であるから、 $S\text{-factor}$ を理想的な値である $60\text{mV}/\text{decade}$ 近くまで低減できるというメリットがある。

【0003】しかしながら、SOI（Silicon on insul

ator）基板を用いたplanar型double-gateFD（Fully-depleted）SOI-MISFETは、製造が非常に難しいため、チャネルを縦型（Vertical）にしたFinFET構造（ダブル側壁ゲートFET）が提案されている（参考文献：登録特許第2768719号公報）。この構造ではSiの薄い壁（Fin）を左右のゲートで挟み込むことで、Double-gateFDMISFETを形成する。Fin-FETの問題点の一つは、Si-Finの両側面にソース/ドレイン拡散層を形成するのが困難であることである。斜めイオン注入（プロセス困難）や固相拡散（抵抗増大の懸念）技術が必要となってしまう。また、Double-gateMISFET共通の問題点として、しきい値電圧を制御しにくいことがあげられる。（従来のようなチャネルドーピングによるしきい値制御ができなくなるため、LSIの中に異なるしきい値のトランジスタを形成しにくい。）また、SOI基板を用いたFin-FETではセルフヒーティング現象が発生し特性が劣化する問題があった。

【0004】

【発明が解決しようとする課題】上述したように、Double-gateFDFin-MISFETには、ソース及びドレイン拡散層を形成することが困難であるという問題があった。また、セルフヒーティング現象が発生し、素子の特性が劣化するという問題があった。

【0005】本発明の目的は、ソース及びドレインの形成が容易、且つセルフヒーティングの発生を抑制し、素子の長寿命化を図り得る半導体装置及びその製造方法を提供することにある。

【0006】

【課題を解決するための手段】【構成】本発明は、上記目的を達成するために以下のように構成されている。

【0007】（1）本発明の半導体装置は、一部に、ほぼ直方体状の半導体層が形成された基板と、前記半導体層の対向する一对の側面上にそれぞれ形成されたゲート絶縁膜と、このゲート絶縁膜上に形成され、金属材料からなるゲート電極と、前記ゲート絶縁膜が形成されていない半導体層の対向する一对の側面上に形成され、該半導体層とショットキー接合された金属材料からなるソース及びドレイン電極とを具備するMISFETを具備してなることを特徴とする。

【0008】本発明の好ましい実施態様を以下に記す。前記基板は、SOI基板であること。前記基板上に、前記ゲート電極の仕事関数が異なる複数のMISFETが混在して形成されていること。前記基板上に、前記ソース及びドレイン電極の仕事関数が異なる複数のMISFETが混在して形成されていること。

【0009】（2）本発明の半導体装置は、基板の一部に、ほぼ直方体状の半導体層を形成する工程と、前記半導体層の対向する一对の側面に沿ったゲート絶縁膜と、

前記ゲート絶縁膜上に金属材料で構成されたゲート電極と、前記半導体層を覆うと共に該ゲート電極の周囲を囲う層間絶縁膜を形成する工程と、前記層間絶縁膜に、前記半導体層の前記ゲート絶縁膜が形成されていない対向する両側面が露出する溝を形成する工程と、前記溝内に、前記半導体層とショットキー接合する金属材料からなるソース及びドレイン電極を形成する工程とを含むことを特徴とする。

【0010】〔作用〕本発明は、上記構成によって以下の作用・効果を有する。

【0011】ショットキー接合するソース及びドレインが形成されているために、ソース及びドレインを形成するための半導体層へのイオン注入が不要になり、従来の縦型チャンネル・ダブルゲートMISFET (finFET) よりも製造が容易になる。また、ソース及びドレインを金属のショットキー接合で形成するため、ソース／ドレインを低抵抗化できる。半導体層の4側面を覆う金属材料(金属ゲート、金属ソース／ドレイン)が、チャンネル内に発生する熱を逃がすため、セルフヒーティング現象を抑制できる。

【0012】ダブルゲート構造を用いることにより完全空乏型素子となるので、ミッドギャップワークファンクションの金属ゲートを用いてもしきい値電圧(絶対値)を小さくできる。

【0013】半導体層の対向する一対の側面に形成された二つのゲート電極で、チャンネルが制御されるため、ゲートの制御性が強く、高誘電体膜を用いたときのフリンジ効果によるショートチャンネル効果の劣化を抑制できる。

【0014】ソース／ドレイン電極がショットキー接合で形成されるため、SOI基板を用いても基板浮遊効果を防止できる。SOI基板を用いていることにより、ショットキー接合ソース／ドレインでのリーク電流を低減できる。

【0015】

〔発明の実施の形態〕本発明の実施の形態を以下に図面を参照して説明する。

【0016】〔第1実施形態〕図1は、本発明の第1の実施形態に係わるN-MISFETの概略構成を示す斜視図である。図1に示すように、SOI基板の一部に形成されたほぼ直方体状のSi-fin (Siの壁、半導体層) 103を左右のゲートで挟み込むタイプの縦型チャンネル・ダブルゲート・完全空乏化MISFETがSOI基板のシリコン酸化膜102上に形成されている。Si-fin 103の上面にシリコン窒化膜104が形成されている。対向するSi-fin 103及びシリコン窒化膜104の両側面の表面上、及びシリコン窒化膜104の上面を覆うゲート絶縁膜105が形成されている。ゲート絶縁膜105の表面に金属ゲート電極106が形成されている。なお、101はSi支持基板であ

る。

【0017】ゲート絶縁膜105が形成された側面と異なるSi-fin 103の対向する一対の側面にそれぞれ、金属・ソース／ドレイン電極107が形成されている。金属・ソース／ドレイン電極107は、Si-fin 103とショットキー接合する。つまり、本装置は、チャンネルの四側面および上面が金属材料(ゲートおよびソース／ドレイン)で囲まれている点が特徴である。

10 【0018】このような構成にすれば、ソース／ドレイン (Si壁側面) へのイオン注入が不要になり、従来の縦型チャンネル・ダブルゲートMISFETよりも製造が容易になる。ソース／ドレインを金属・ソース／ドレイン電極107のショットキー接合で形成するため、SOIの基板浮遊効果を防止できる。当然、ソース／ドレインを低抵抗化できる。金属材料(ゲート電極、ソース／ドレイン)が、チャンネル内に発生する熱を逃がすため、セルフヒーティング現象を抑制できる。完全空乏化MISFET素子なので、ミッドギャップワークファンクションの金属ゲートを用いてもしきい値電圧(絶対値)を小さくできる。二つのゲートでチャンネルを制御するため、ゲートの制御性が強く、高誘電体膜を用いたときのフリンジ効果によるショートチャンネル効果の劣化を抑制できる。SOI基板を用いているので、ショットキー接合ソース／ドレインでのリーク電流を低減できる。

20 【0019】Si-fin 103の上にSiN膜が形成されているため、チャンネルはSi-fin 103の側面だけに形成され、Si-fin 103の上面部分はチャンネルとならない。したがって、Si-fin 上部コーナ部での電解集中による寄生トランジスタの発生を抑えることができる。

【0020】図2～図8を用いて、本装置の製造工程を説明する。図2(a)、図3(a)、…、図8(a)は図1におけるA-A'方向(ゲート長方向)の工程断面図であり、図2(b)、図3(b)、…、図8(b)は図1のB-B'方向の工程断面図に相当する。

【0021】図2(a)、(b)に示すように、SOI基板のSi層の膜厚が50nm程度のSOI基板を用意する。Si層103の表面を薄く(3nm程度)酸化して図示されない酸化膜を形成した後、Si層103上にシリコン窒化膜104を10nm程度堆積する。次いで、電子ビーム露光等によりレジストをパターニングし、シリコン窒化膜とSi層とをRIE法を用いてエッチングして、Si支持基板101の主平面に対してほぼ垂直な幅15nm程度のSi-fin 103を形成する。

【0022】次いで、図3(a)、(b)に示すように、Si-fin 103の表面を2nm程度薄く酸化して図示されない酸化膜を形成した後、厚さ150nm程度のPoly-Si層111を堆積する。このPoly

—Si層111の表面に対してCMPを行って、その表面を平坦化する。電子ビーム露光などによりレジストをパターンニングし、Poly-SiをRIEして、後で除去する（メタルゲートと置き換える）予定のダミーゲート111を形成する。Poly-Siをエッチングしてダミーゲート111を形成する際、Si-fin103の上のシリコン窒化膜104がエッチングストッパーの役目を果たす。ダミーゲート111の側面にSiN側壁絶縁膜112を形成する。Si-finの側面にもシリコン窒化膜112が形成される。

【0023】次いで、図4(a), (b)に示すように、200nm程度のTEOS膜（層間絶縁膜）113を堆積して、ダミーゲート111の表面を覆った後、CMPを行うことによりTEOS膜113の表面を平坦化して、ダミーゲート111の表面を露出させる。

【0024】次いで、図5(a), (b)に示すように、CDE法等を用いて、poly-Si層からなるダミーゲート111を選択的に除去し、ゲート溝114を形成する。

【0025】次に、Si-fin103の表面にゲート絶縁膜105を形成する。本発明のトランジスタではソース／ドレインをショットキー接合にて低温で（例えば450℃以下で）形成するので、ゲート形成後450℃以上の高温熱処理工程が存在しない。したがって、高誘電率膜や強誘電体膜（ Ta_2O_5 膜、 TiO_2 膜、SiN膜、 $(Ba, Sr)TiO_3$ 、 HfO_2 、 ZrO_2 、 La_2O_3 、 Gd_2O_3 、 Y_2O_3 、 CaF_2 、 $CaSnF_2$ 、 CeO_2 、Yttria Stabilized Zirconia、 Al_2O_3 、 $ZrSiO_4$ 、 $HfSiO_4$ 、 Gd_2SiO_5 、 $2La_2O_3 \cdot 3SiO_2$ 、など）をゲート絶縁膜に使用することができ、またゲート電極には金属材料（TiN、WN、Al、W、Ruなど）を使用することができる。もしゲート形成後に800-1000℃程度の高温工程が存在すると、メタルゲート原子がゲート絶縁膜中に拡散してゲート耐圧が劣化したり、高誘電体膜とシリコンの間の界面に誘電率の低い薄膜層が形成され、実効的なゲート絶縁膜厚が著しく増大してしまう。

【0026】ここではゲート絶縁膜材料として Ta_2O_5 膜、メタルゲート材料としてバリアメタルTiNとAlの積層構造を用いた場合を図に示す。詳しく製造方法を述べると、次いで、図6(a), (b)に示すように、例えばゲート溝114底部のSi-fin103の側面をHF処理によって露出させた後、0.7nm程度のシリコン窒化膜（NO窒化オキシナイトライド膜）、CVD法による膜厚約3nmの Ta_2O_5 膜を順次形成して、ゲート絶縁膜105を形成する。シリコン窒化膜と Ta_2O_5 膜とが積層されたゲート絶縁膜105の酸化膜換算膜厚は1.5nm以下となる。次いで、ダマシン法を用いてゲート溝114内にメタルゲート電極106を形成する。

【0027】このダマシン法を用いたメタルゲート電極106の形成過程の例を説明する。バリアメタルとして膜厚5nm程度のTiN膜をCVD法を用いて堆積し、例えば膜厚150nm程度のAlを堆積してゲート溝114を埋め込む。次いで、TEOS膜上のTiN膜及びAlをCMPにより除去し、ゲート溝内にメタルゲート電極106を埋め込み形成する。

【0028】次いで、図7(a), (b)に示すように、1組のソース／ドレイン電極の形成予定領域及び1組のソース／ドレイン電極107で挟まれた領域（メタルゲート電極106及びSiN側壁絶縁膜112）上に開口を有するレジスト膜115をリソグラフィ等により形成した後、レジスト膜115をマスクにTEOS膜113及びSi-fin103を選択的にエッチング除去し、ソース／ドレイン溝116を形成する。ここで、メタルゲート電極106及びSiN側壁絶縁膜112がエッチングされない条件を用いることで、SiN側壁絶縁膜112及びSi-fin103の側面部が露出するソース／ドレイン溝116が自己整合的に形成される。

【0029】そして、図8(a), (b)に示すように、レジスト115を除去した後、ソースおよびドレイン溝116内に、Si-fin103とショットキー接合するメタル・ソース／ドレイン電極107を埋め込み形成する。

【0030】メタル・ソース／ドレイン電極107の形成過程の一例を以下に説明する。例えば、ダマシン法を用いて溝内にErやPt等の金属を埋め込んだ後、例えば450℃以下の低温でシリサイド反応を起こさせて、PtSiやErSi等のシリサイドメタルを形成し、ショットキー接合ソース／ドレインを形成する。

【0031】ソースおよびドレイン形成後は通常のLSI製造プロセスと同様である。すなわち、層間絶縁膜TEOSをCVDで堆積し、ソース／ドレインおよびゲート電極上にコンタクトホールを開孔し、上層金属配線（例えばCu配線）をデュアルダマシン法にて形成する。

【0032】このような構成にすれば、以下のような効果が得られる。ソース／ドレイン（Si-fin側面）へのイオン注入や固相拡散が不要になり、従来の縦型チャネル・ダブルゲートMISFETよりも製造が容易になる。またソースおよびドレイン活性化のための高温熱工程（通常1000℃程度）を行なう必要がないので製造が容易になる。ソース／ドレインをメタルのショットキー接合で形成するため、SOIの基板浮遊効果を防止できる。当然ソース／ドレインを低抵抗化できる。金属材料（メタルゲート、メタルソース／ドレイン）を通して、チャネル内に発生する熱が逃げるため、セルフヒーティング現象を抑制できる。FD素子なので、ミッドギャップワークファンクションのメタルゲートを用いてもしきい値電圧（絶対値）を小さくできる。二つのゲー

トでチャネル電位を強く制御するため、また、pn接合でなくショットキー接合によるソースおよびドレインを用いているため、高誘電体膜を用いた場合でもショートチャネル効果の劣化を抑制できる。SOI基板を用いているので、ショットキー接合ソース/ドレインでのリーク電流を低減できる。

【0033】(第2の実施形態)図9、10は、本発明の第2の実施形態に係わるNMISFETの製造工程を示す工程断面図である。図9(a)、図10(a)は、ゲート長方向の断面図であり、図9(b)、図10(b)は、ゲート配線と平行な断面図である。

【0034】本実施形態の特徴は、バルクのSi基板を用いている点であり、その他はほぼ第1の実施形態と同様である。

【0035】工程順に説明を行なうと、先ず、図9(a)、(b)に示すように、バルクのSi基板201の表面を薄く(3nm程度)酸化して図示されない酸化膜を形成した後、シリコン窒化膜104を10nm程度堆積形成する。電子ビーム露光などによりレジストをパターンニングし、シリコン窒化膜104とSi基板201をRIEして幅15nm程度、高さ100nm程度のSi-fin203を形成する。

【0036】次に、Si-fin203の表面(側面)を薄く(2nm程度)酸化し(図示せず)、厚さ200nm程度のTEOS膜202を堆積する。このTEOS膜202の表面をCMPして、その表面を平坦化する。このとき、Si-fin203の上のシリコン窒化膜104がCMPストッパーの役目を果たす。HF処理により、TEOS膜202をエッチバックし、Si-fin203の側面を縦方向に50nm程度露出させる。

【0037】この後の工程は、第1の実施形態と同様であるため、詳しい説明は省略する。完成図を図10(a)、(b)に示す。

【0038】本実施形態によれば、第1の実施形態のようにSOI基板を用いることなく(基板のコストを下げ)、第1の実施形態と同様の効果を得ることができる。

【0039】(第3の実施形態)図11~図14は、本発明の第3の実施形態に係わるNMISFETの製造工程を示す工程断面図である。

【0040】図11(a)、図12(a)、図13(a)、図14(a)は図1におけるゲート長方向(図1のA-A'方向に相当)方向の工程断面図であり、図11(b)、図12(b)、図13(b)、図14(b)は図1のゲート配線と平行な方向(図1のB-B'方向に相当)の工程断面図である。

【0041】本実施例の特徴は、Si-Finをエピタキシャル成長により形成されたepi-Si薄膜により形成する点であり、その他はほぼ第2の実施形態と同様である。

【0042】工程順に説明を行なうと、先ず、図11(a)、(b)に示すように、バルクのSi基板301の表面を50nm程度酸化してシリコン酸化膜302、その上にシリコン窒化膜303を70nm程度堆積形成する。電子ビーム露光などによりレジストをパターンニングし、シリコン窒化膜303とシリコン酸化膜302に対してRIEによりエッチングして幅20nm程度、深さ120nm程度の細い溝304を形成する。

【0043】次いで、溝304の底面に露出するSi基板301の表面からSi単結晶薄膜305をエピタキシャル成長させた後、シリコン窒化膜303上にオーバー成長した部分をCMPにより除去して、Si基板301の主平面に対してほぼ垂直なSi-fin305を形成する。このCMP時には、シリコン酸化膜302の上のシリコン窒化膜303がCMPストッパーの役目を果たす。

【0044】次いで、図13(a)、(b)に示すように、Si-fin305の上部を20nm程度酸化してシリコン酸化膜306を形成した後、ホットリン酸処理によりシリコン窒化膜303を除去し、Si-fin305の側面を縦方向に50nm程度露出させる。この後は、第2の実施形態と同様の工程を行い、図14(a)、(b)に示す半導体装置がNMISFETが形成される。

【0045】このような構成にすれば、第1の実施形態で示した効果に加え、以下のような効果が得られる。ゲート幅(finのチャネルとして使われる部分の高さ)をSi-n膜厚で制御できるので、ゲート幅ばらつきを低減できる。また、Si-finをエピタキシャル成長で形成するため、チャネル界面がRIEによるダメージを受けない。

【0046】(第4の実施形態)図15、図16は、本発明の第4の実施形態のNMISFETの製造工程を示す工程断面図である。図15(a)、図16(a)は、ゲート長方向の断面図(図1のA-A'方向に相当)であり、図15(b)、図16(b)は、ゲート配線と平行な方向(図1のB-B'方向に相当)の断面図である。

【0047】本実施形態の特徴は、Si-fin103の上にシリコン窒化膜がない構造を採用している点であり、その他はほぼ第1の実施形態と同様である。

【0048】工程順に説明を行なうと、先ず、図15(a)、(b)に示すように、SOI基板のSi層の表面を酸化して2nm程度の薄い酸化膜(不図示)を形成した後、その上に電子ビーム露光などによりレジスト膜を形成し、酸化膜とSi層に対してRIEによりエッチングを行って、幅20nm程度、高さ70nm程度のSi-fin103を形成する。

【0049】この後は、第1の実施形態で説明した工程と同様の工程を行って、図16(a)、(b)に示すN

MISFETが形成される。但し、ダミーゲートPoly-SiをRIEで加工する際、エッチング条件を最適化し、Si-fin103のソース/ドレイン部分が削られないよう注意する必要がある。

【0050】このような構成にすれば、第1の実施形態と同様な効果が得られるだけでなく、以下のような効果も得られる。すなわち、Si-finの両側面だけでなく、上面もチャネルとして用いるので、さらなる電流駆動力向上が期待できる。

【0051】(第5の実施形態)図17は、本発明の第5の実施形態に係わるNMISFETの構成を示す断面図である。図17(a)、(b)は、ゲート長方向(図1のA-A'方向に相当)の断面図である。本実施形態の特徴は、メタルゲート(バリアメタル)の仕事関数の値が異なるトランジスタがLSI中に混在している点である。具体的に説明すると、図17(a)に示す領域Aでは、メタルゲート電極106aを構成するTiN(バリアメタル)の仕事関数が4.6eVである。一方、図17(b)に示す領域Bでは、メタルゲート電極106bを構成するTiN(バリアメタル)の仕事関数が4.4eVである。したがって、領域Aと領域BとのMISFETのしきい値電圧に差が生じている。

【0052】すなわち、完全空乏化MISFET素子であるにもかかわらず、しきい値を制御できる。TiNの仕事関数は、成膜条件やその後のプロセスを変更することによって制御可能である。例えば、TiN成膜後、TiN中にNやInをイオン注入することで、TiNの仕事関数を小さくすることができる。もちろんTiN以外のメタル材料を用いても仕事関数を変化させることは可能である。

【0053】このような構成にすれば、第1の実施形態と同様な効果が得られるだけでなく、しきい値が異なるトランジスタを同じLSI中に容易に形成できるようにする。

【0054】(第6の実施形態)図18は、本発明の第6の実施形態に係わるMISFETの構造を説明するためのゲート長(図1のA-A'方向に相当)方向断面図である。図18(a)はn型MISFETを示し、図18(b)はp型MISFETを示している。

【0055】本実施例の特徴は、メタルソース/ドレイン電極の仕事関数の値が異なるトランジスタがLSI中に混在している点であり、その他の構成はほぼ第1の実施形態と同様である。

【0056】図18(a)、(b)では、n-MISFETのメタル・ソース/ドレイン電極107aとp-MISFETのメタル・ソース/ドレイン電極107bとでメタル材料が異なる例を示した。簡単にソース/ドレイン電極の製造方法を述べる。

【0057】ここでは第1の実施形態と同様に、ゲート絶縁膜材料としてTa₂O₅膜、メタルゲート材料として

バリアメタルTiNとAlの積層構造を用いた場合を図に示した。

【0058】ゲート電極形成後、リソグラフィー等により、NMISのソース/ドレイン領域の層間絶縁膜を選択的にエッチング除去し、出来た溝(NMIS側ソース/ドレイン溝)内にメタル材料(例えばEr)をダマシン埋め込みし、低温で(例えば450℃以下で)シリサイド反応を起こさせてシリサイドメタル(ErSi₂)を形成し、ショットキー接合ソース/ドレインを形成する。その後、リソグラフィー等により、PMISのソース/ドレイン領域の層間絶縁膜を選択的にエッチング除去し、出来た溝(PMIS側ソース/ドレイン溝)内にメタル材料(例えばPt)をダマシン埋め込みし、低温で(例えば450℃以下で)シリサイド反応を起こさせてシリサイドメタル(PtSi)を形成し、ショットキー接合ソース/ドレインを形成する。

【0059】ソース/ドレインの形成後は通常のLSI製造プロセスと同様である。すなわち、層間絶縁膜TEOSをCVDで堆積し、ソース/ドレインおよびゲート電極上にコンタクトホールを開孔し、上層金属配線(例えばAl配線)をデュアルダマシン法にて形成する。

【0060】以上のようにすると、第1の実施形態で得られる効果に加えて、以下のような効果が得られる。

【0061】ショットキー接触(接合)をソースおよびドレインに用いたトランジスタでは、電流駆動能力の低下を避けるために、Nチャネルに対しては小さな、またPチャネルに対しては大きな仕事関数を持つショットキー接触材料が必要である。本実施例では、NMISに対しては仕事関数の小さなエルビウムシリサイド(ErSi₂)、PMISに対しては仕事関数の大きなPtSiを用いることができるので、NMIS、PMIS両方のしきい値電圧(絶対値)を小さくし、駆動電流を大きくすることが可能になる。また、ショットキー接触材料(ソース/ドレインメタル材料)を選ぶことにより、NMIS、PMISにかかわらずそれぞれのトランジスタのしきい値電圧を制御できる(所望の値に変化させることができる)。

【0062】(第7の実施形態)図19~図23は、本発明の第7の実施形態に係わるNMISFETの製造工程を示す工程断面図である。

【0063】図19(a)、図20(a)、図21(a)、図22(a)、図23(a)は図1におけるゲート長方向(図1のA-A'方向に相当)方向の工程断面図であり、図19(b)、図20(b)、図21(b)、図22(b)、図23(b)は図1のゲート配線と平行な(図1のB-B'方向に相当)の工程断面図である。

【0064】本実施形態では、メタルゲートをダマシン法ではなく、RIEプロセスで形成した実施の形態について説明する。

【0065】工程順に説明を行なうと、先ず、図19 (a)、(b)に示すように、SOI基板の膜厚50nm程度の半導体層を薄く(3nm程度)酸化して酸化膜(不図示)を形成した後、シリコン窒化膜104を10nm程度堆積形成する。電子ビーム露光などによりレジストをパターンニングし、シリコン窒化膜104と半導体層をRIEして幅15nm程度のSi-f i n 1 0 3を形成する。

【0066】本発明のトランジスタではソース/ドレインをショットキー接合にて低温で(例えば450℃以下)形成するので、ゲート形成後450℃以上の高温熱処理工程が存在しない。したがって、第1の実施形態に示した高誘電率膜や強誘電体膜をゲート絶縁膜に使用することができ、またゲート電極には金属材料(TiN、WN、Al、W、Ruなど)を使用することができる。もしゲート形成後に800-1000℃程度の高温工程が存在すると、金属ゲート原子がゲート絶縁膜中に拡散してゲート耐圧が劣化したり、高誘電体膜とシリコンの間の界面に誘電率の低い薄膜層が形成され、実効的なゲート絶縁膜厚が著しく増大してしまう。

【0067】ここではゲート絶縁膜材料としてTa₂O₅膜、金属ゲート材料としてバリア金属TiNとAlの積層構造を用いた場合を示す。

【0068】詳しく製造方法を述べると、例えば、図20(a)、(b)に示すように、Si-f i n 1 0 3の側面をHF処理によって露出させ、0.7nm程度のシリコン窒化膜(NO窒化オキシナイトライド膜)を形成する。その上にTa₂O₅膜を約3nm、CVD成膜し、シリコン窒化膜とTa₂O₅膜とが積層されたゲート絶縁膜705を形成する。このときゲート絶縁膜705の酸化膜換算膜厚は1.5nm以下となる。

【0069】次に、リソグラフィとRIEを用いたパターンニングにより金属ゲート電極706を形成する。以下に、より詳細に説明する。バリア金属として膜厚5nm程度のTiNをCVDにて形成した後、例えば膜厚150nm程度のAlを堆積する。CMPを用いてAlを平坦化する。次いで、リソグラフィとRIEを用いてAlとTiNとの積層構造をエッチングすることによって金属ゲート電極706を形成する。その後、金属ゲート電極706の側面に10nm程度のSiN側壁絶縁膜112を形成する。

【0070】次いで、図21(a)、(b)に示すように、200nm程度の膜厚のTEOS膜113を堆積しCMPで平坦化し、金属ゲート電極706の表面を露出させる。

【0071】その後、図22(a)、(b)に示すように、リソグラフィ及びRIE等により、ソース/ドレイン領域のTEOS膜113を選択的にエッチング除去し、溝716を形成する。次いで、図23(a)、

(b)に示すように、溝716内に金属材料(例えば

PtやEr)をダマシン法を用いて埋め込みした後、低温で(例えば450℃以下で)シリサイド反応を起こさせてシリサイド金属(例えばPtSiやErSi₂)を形成し、Si-f i n 1 0 3とショットキー接合する金属・ソース/ドレイン電極107を形成する。

【0072】ソースおよびドレイン形成後は通常のLSI製造プロセスと同様である。すなわち、層間絶縁膜TEOSをCVDで堆積し、ソース/ドレインおよびゲート電極上にコンタクトホールを開孔し、上層金属配線(例えばCu配線)をデュアルダマシン法にて形成する。

【0073】このような構成にすれば、第1の実施形態で述べた効果に加え、ダマシン法を用いてゲート電極を形成するより場合よりも、工程数を削減できるという効果を有する。

【0074】なお、本発明は、上記実施形態に限定されるものではなく、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0075】

【発明の効果】以上説明したように本発明によれば、ショットキー接合するソース及びドレインが形成されているために、ソース/ドレインを形成するための半導体層へのイオン注入が不要になり、従来の縦型チャネル・ダブルゲートMISFETよりも製造が容易になる。また、ソース及びドレインを金属のショットキー接合で形成するため、ソース/ドレインを低抵抗化できる。半導体層の4側面が金属材料(金属ゲート、金属ソース/ドレイン)で覆われているため、チャネル内に発生する熱を逃がすことができ、セルフヒーティング現象を抑制できる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる半導体装置の概略構成を示す斜視図。

【図2】第1の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図3】第1の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図4】第1の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図5】第1の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図6】第1の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図7】第1の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図8】第1の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図9】第2の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図10】第2の実施形態に係わる半導体装置の製造工

程を示す工程断面図。

【図 11】第 3 の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図 12】第 3 の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図 13】第 3 の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図 14】第 3 の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図 15】第 4 の実施形態に係わる半導体装置の製造工程を示す工程断面図。 10

【図 16】第 4 の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図 17】第 5 の実施形態に係わる NMISFET の構成を示す断面図

【図 18】第 6 の実施形態に係わる MISFET の構造を説明するためのゲート長 (図 1 の A-A' 方向に相当) 方向の断面図。

【図 19】第 7 の実施形態に係わる MISFET の製造工程を示す工程断面図。

【図 20】第 7 の実施形態に係わる MISFET の製造工程を示す工程断面図。

【図 21】第 7 の実施形態に係わる MISFET の製造

工程を示す工程断面図。

【図 22】第 7 の実施形態に係わる MISFET の製造工程を示す工程断面図。

【図 23】第 7 の実施形態に係わる MISFET の製造工程を示す工程断面図。

【符号の説明】

101…Si 支持基板

102…シリコン酸化膜

103…Si-fin (半導体層)

104…シリコン窒化膜

105…ゲート絶縁膜

106…メタルゲート電極

106a…メタルゲート電極

106b…メタルゲート電極

107…メタル・ソース/ドレイン電極

111…poly-Si 層

111…ダミーゲート

112…N 側壁絶縁膜

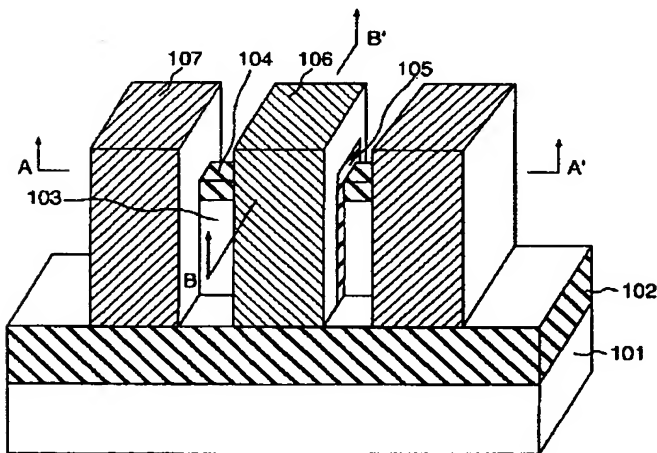
113…TEOS 膜

20 114…ゲート溝

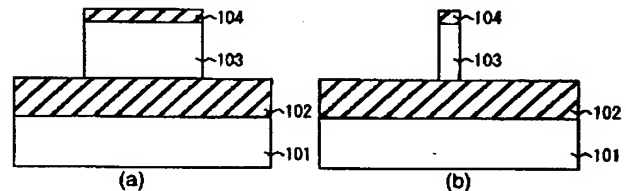
115…レジスト膜

116…ソース/ドレイン溝

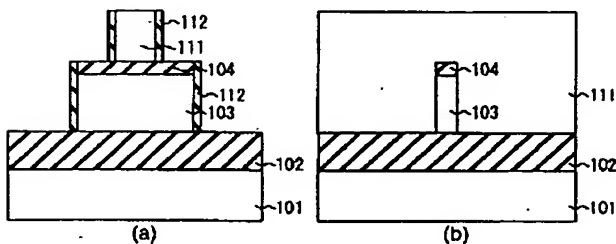
【図 1】



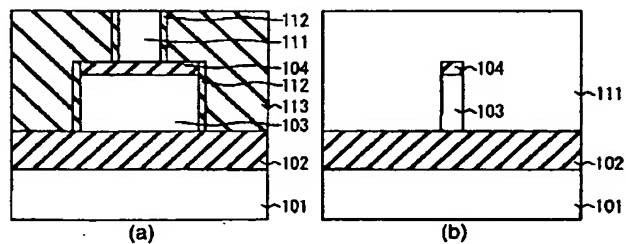
【図 2】



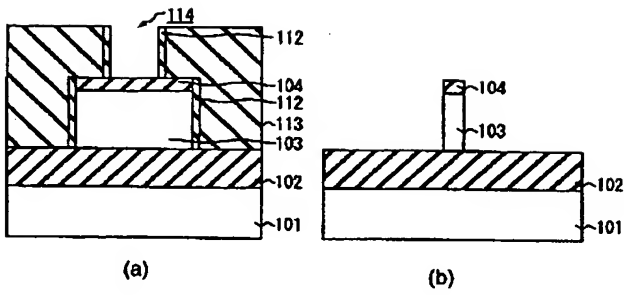
【図 3】



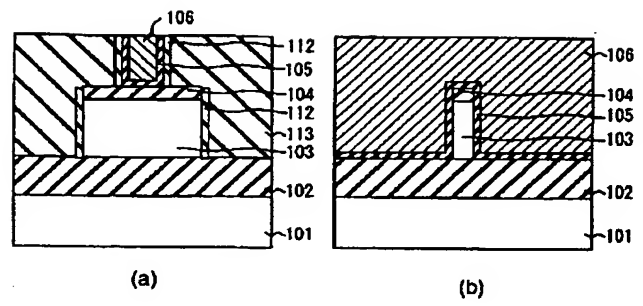
【図 4】



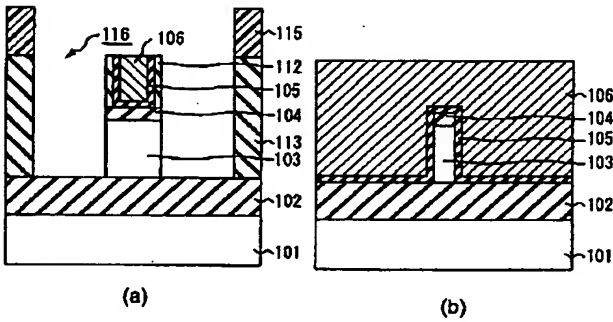
【図5】



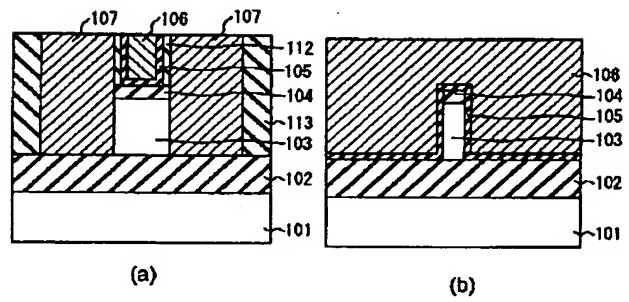
【図6】



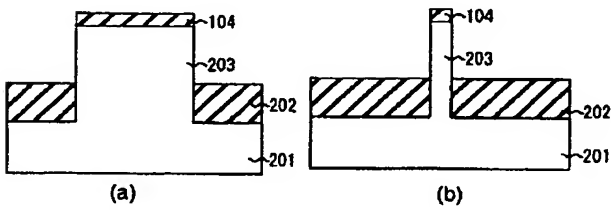
【図7】



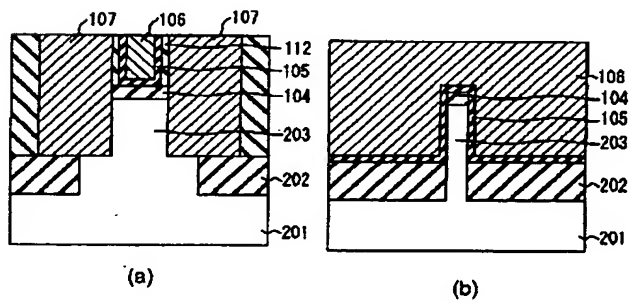
【図8】



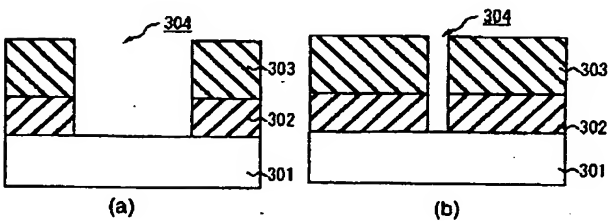
【図9】



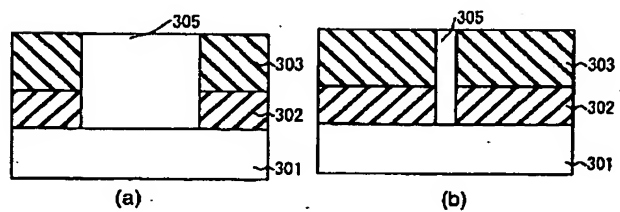
【図10】



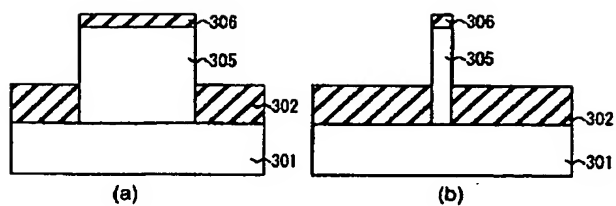
【図11】



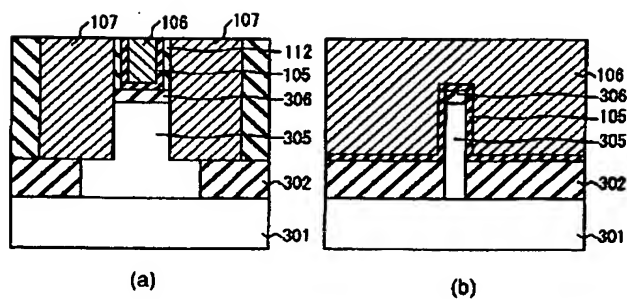
【図12】



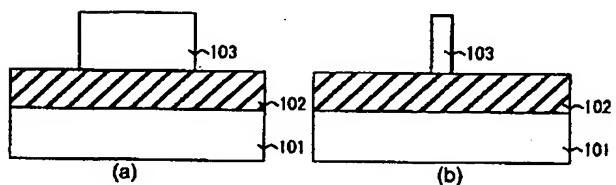
【図 13】



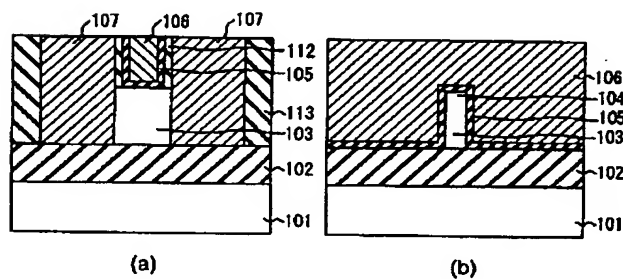
【図 14】



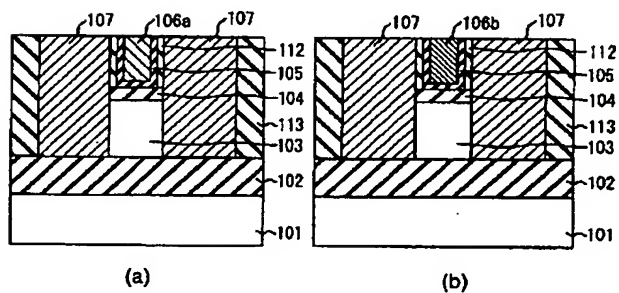
【図 15】



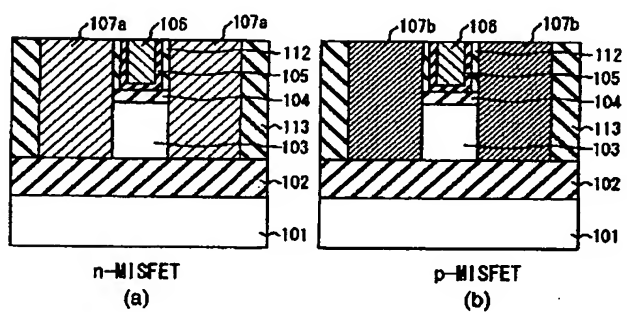
【図 16】



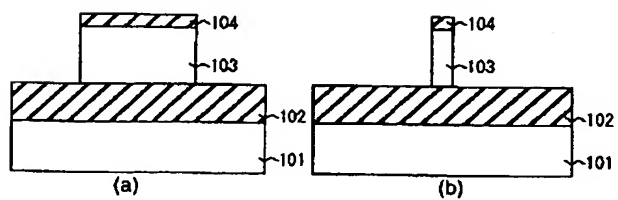
【図 17】



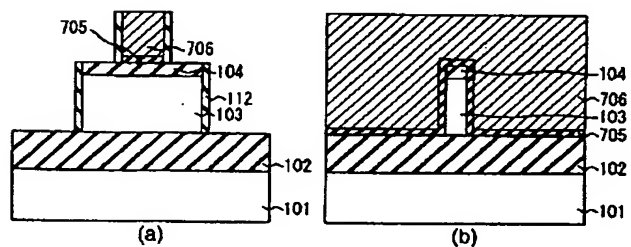
【図 18】



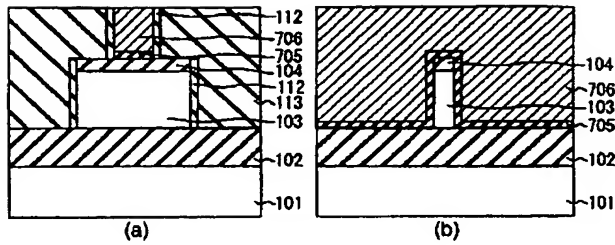
【図 19】



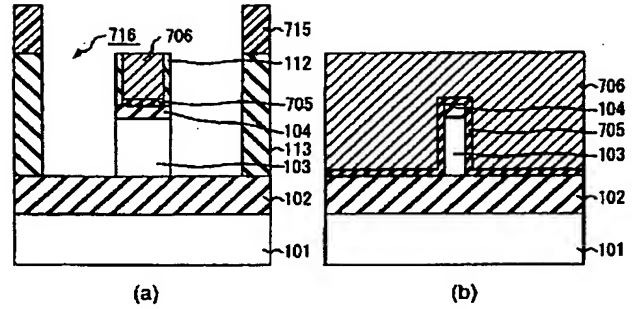
【図 20】



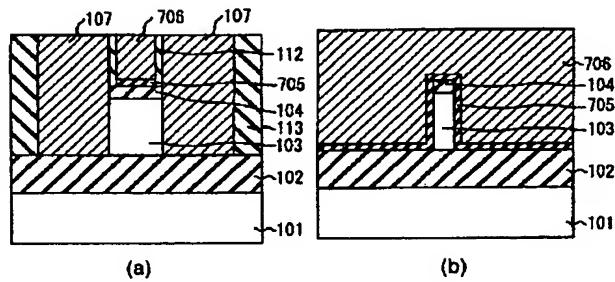
【図 2 1】



【図 2 2】



【図 2 3】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
27/08	331	29/78	301 G
29/417			301 S
29/78			301 X
			617 K

(72) 発明者 齋藤 友博
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72) 発明者 松尾 浩司
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

F ターム(参考) 4M104 AA09 BB02 BB04 BB18 BB19
BB22 BB30 BB33 CC03 CC05
DD03 DD75 DD78 DD81 DD84
FF04 FF18 FF26 GG09
5F048 AA07 AC01 AC04 BA16 BB09
BB10 BB11 BB12 BB17 BC01
BD01 BD07 BF07 BF15 BF16
5F110 AA06 AA30 BB04 CC01 DD05
EE01 EE02 EE03 EE04 EE14
EE22 EE29 EE38 EE41 EE42
EE45 FF01 FF04 FF09 FF29
GG02 GG12 GG25 HK05 HK50
HL02 NN02 NN23 NN35 QQ19
5F140 AA10 AA21 AA29 AA39 AB01
AB03 AC36 BA01 BB05 BC13
BC15 BD07 BD11 BD12 BD13
BE10 BF01 BF05 BF07 BF10
BF11 BF15 BG04 BG08 BG14
BG36 BG38 BG40 BJ01 BJ08
BJ30 BK28 BK34 CA03 CC15

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.